[第１回大規模集積回路設計教育プログラム技術調査専門委員会]
事例報告 :金沢工業大学情報工学科専門実験演習III **[論理システム設計]**

概要 2001 年度より金沢工業大学情報工学科の３回生を対象に実施しているPLD への論理回路実装を目指す実験演習[論理システム設計] の内容、経過、修得度を報告する。本実験演習は、1)トップダウン設計、2)GUI による設計ツール類、3)設計した論理回路の検証、4)論理素子の遅延、5)論理回路の言語記述、6)プログラマブルハードウエアを体験し、埋め込みシステムの設計やソフトウエア/ハードウエア協調設計に対する基礎技術の修得を目的としている。
演習生はツールの扱いやシミュレーション結果の表示を楽しんでいる。しかし、上記の目的に対する修得度(平均60%弱)は十分とは言えない。自由課題の回路を仕様通りに動作させることに集中してしまう。現行実験演習の経過と状況から修得内容の絞込み、指導方針の再考の結果、レポートの作成に際してトップダウン記述/編集を指導する事を心掛けている。
Key word index :PLD 、トップダウン設計、論理システム設計、遅延、実験演習

１．はじめに

本学情報工学科では1972 年以来３回生のハードウエア系実験演習として、Ⅰ．マイコンシステムプログラミング(μP ボード＋IO ボードを使った割り込み制御と処理プログラム、ポートアクセス法)、Ⅱ．論理回路設計製作(IC トレーナ＋ブレッドボード上に標準ディジタルIC を結線)をそれぞれ半年づつ実施してきた。Ⅰ．ではOS や event-driven なシステムの基礎となり、Ⅱ．では演算装置や制御装置の動作を実感し、論理回路の講義と共にハードウエア設計の基礎としてきた。
しかし、1980 年以降の急激なIT 技術の発展を目の当たりにしてⅡ．で実現出来る回路(乗算器)止まりでは市場に出てくるTI 装置との隔たりが多く、学生へのモチベーション喚起に物足りなくなってきた。 学生側からもシステム設計への要求が聞こえてきた。
折り良く2001 年４月より各社各位のご協力によりIII．として[論理システム設計] を開講することが出来た。
III．では1)トップダウン設計、2)GUI による設計ツール類、3)設計した論理回路の検証、4)論理素子の遅延、5)論理回路の言語記述、6)プログラマブルハードウエアを体験できる。最終課題として受講生自身が設計したいシステムの仕様を提案し、各自のトップダウン設計に従い作り上げている。シミュレートし、思わぬヒゲや結果の遅れから論

理素子による遅延に戸惑いながらも結構楽しんでいる様子はレポートにも表れている。
しかし、Ⅰ．Ⅱ．Ⅲ．を1 年間で受講するため、Ⅲ．ではツールに慣れることに専念してしまい自由課題ではトップダウン設計を活かせない受講生も30%くらいいる。これを補うためにレポートの記述順序にトップダウン記述を指導している。また、6)についてはデモンストレーション実行で了解してもらっている。
以下、実施環境と状況、指導内容、修得状況、まとめを述べる。

２．実施環境と状況

２．１ 設備

現行のPC および導入機材・ソフトウエアツールを以下に示す。

PC　:56 台、内２台はサーバ機として働く

	WINDOWS NT Ver.4.0
	OS Service Pack 6ａ
	メモリ 実装 256MB 、 仮想 267 MB
ソフトウエアツール：	Visual Elite Ver.3.13
	Synplify Pro Ver.7.23
	Max+Plus II Ver.10.0
	VIKT __Refrector
	ライセンス：50+50=100
導入機材：	HDL __BOARD III
	MU200 __VIKT __IF
	RS232C ケーブル
	Network:2 サーバ、54 台はDHCP

２．２ 教官数と受講生の数、補助指導員、管理要員

３ クラス同時に開講し、年間300 名近くの学生が必須科目として受講する。１ クラスの受講生と指導教官およびシステム管理、補助指導員(TA)の構成を示す。

指導教官：１ 名
受講生数：約30 名(2 名/PC)
補助指導員：2 から 3 名 (基本的に院生。見習または優秀な４ 回生も含む。)

ツールの使い方指導、エラーの解説、回路のアドバイスをする。
システム管理/保守員は6 から7 名のチームで全員補助指導員である。おもな仕事は、バージョンアップ、ネットワーク/システム障害の回復、グループ交代時の初期化などである。

２．３ 実験演習時間

1 クラスの実験演習時間は、10 週で、週３ 時間の受講時の外に午前と水曜日の午

後は実験演習室を利用できる。

３．指導内容および方針

自由課題に至るまでの課題回路は同じであるが、クラスによる重点の置き方は指導教官に任されている。受講生は週毎の課題や注意点、エラー回避法などの書かれた指導書と2 回生で履修した 論理回路入門 門脇著」を参考にして実験演習を進める。本章での自由課題の面接や最終レポート(レポートIII)に評価の重点を置くことについては著者の場合である。

３．１ 実験演習内容とスケジュール

トップダウン設計の修得を目指して、ツールの使い方の向上に従って、ほぼ２ 週を単位に課題回路を作成し、シミュレーションにより検証し報告する。以下に週毎の実験実習内容を示す。なお、オリエンテーションはクラス開始前に別途実施する。

[第1週] :基本的な組合せ回路の試作(１ 階層)
課題 :排他的論理和回路、一致回路の試作
課題回路を制作、シミュレーションできるまでのVisual、Synplifyの使い方を習得。
・回路図、シミュレーション結果、評価出力の印刷提出。

[第２，３ 週] ：回路ブロックの階層を増やしより複雑な機能を構成する。
課題 :パリティジェネレータ、パリティチェッカの試作
排他的論理和回路、一致回路をブロックとして使う。
さらに Visual Elite 、Synplify Pro の使い方を向上させる。
Max+Plus II も使ってみる。
・図は切り張りし、レポートI として第４ 週開始時までに提出

[第４，５ 週] :8 ビット加減算回路の制作
課題 :加算回路、補数回路、データセレクタ回路、オーバーフロー検出部などのブロックによる構成で加減算回路をトップダウン設計する。
・図は切り張りし、レポートII として第６ 週開始時までに提出
＊ レポートI を評価付きで返却される。
[第６ 週] の設計をする。

[第６，７ 週] :記憶素子の制作、順序回路の制作(２ 人で分担可)
課題 :単段RS-ff 、クロックとクリア付き単段RS-ff 、
クロックとクリア付き単段D-ff 、マスタースレーブ型JK-ff 、
マスタースレーブ型D-ff 、マスタースレーブ型T-ff

単段D-ff とマスタースレーブ型D-ff の動作比較、
８ 進カウンタ、ｎ進カウンタ
状態遷移図入力の習得。出力線がフィ-ドバックループにも分岐している時は出力端子名の確実につけるよう注意する。
・回路製作者を明記の上、課題回路のすべての回路図とシミュレーション結果の印刷出力の提出(コメント付き)。
・自由課題のプロポーザルを[第７ 週] 始めに提出。課題に対する**面接**あり。＊ レポートII 評価付きで返却される(トップダウン設計としてまとめてあるか？)。

[第８，９，10 週] :自由課題の制作、
設計トレーニングキットのデモンストレーション

自由課題 :指導書に示す例と同等以上のものが**面接の結果許可**される。
(指導書の例は、自動販売機、符号付乗算器、ディジタル時計等)
レポートIIIとして10 週までに提出。修正可、10 週後は返却しない。
グループの進捗良い、或いはユニークな工夫は10 週目に発表あり。

３．２ **レポートの注意点**

レポートI では、下記１)，２)，３)の仕様記述と7)に対する評価が主である。
レポートII では、１)から7)、その他全般に渡って評価し注意書きをつけて返却する。
レポートIIIは総合評価の対象としている。
注意点の内容を以下に示す。
1)表紙のタイトルを明確に
２)ページをつけること
３)まず、設計する装置の
・仕様
トップブロック図(box と入出力のみ)、入出力の説明
トップブロック内のブロック構成図(第２ 階層)
第２ 階層の各ブロックの仕様と入出力説明
以下、第ｎ階層まで
各最下位層(トップからの数が増える)の論理回路と入出力
真理値表、状態遷移図とその説明
４)Synplify によるシミュレーション
各階層のシミュレーション結果とその検討
５)Synplify による全体回路(トップブロック)の評価

６）トップブロックのMax ＋Plus Ⅱによる回路応答結果と遅れの検討、評価
７）考察(感想は別に書く事)
考察で必要ならば途中の階層でのMax ＋Plus Ⅱの結果も使う事
改良点、結果の検討、再設計するならば、不都合の原因・・等
参考文献(教科書しかない時は減点)：
付録：
ブロックが多いとき最下位層の論理回路は付録とする。
但し、各自工夫した事があれば３．で述べる
他者の設計した回路(出所明記)を利用した時、
真理値表等
その他、本文での設計を説明するのにあったら良い追加情報。
＊実行した事柄を報告するのではなく、
設計した装置の仕様説明、構成はどのようになっているのか、動作状況、結果は確かかを、**他人(先生ではなく)に読みやすく**述べる工夫をする事レポートの編集で、４）、５）、6)は内容があれば上記に従わなくてよい(感想は最後)

４．修得状況と問題点

本実験演習で目的とした、埋め込みシステムの設計やソフトウエア/ハードウエア協調設計に対する基礎技術の修得に対する修得度を、著者の私見と指導補助員の意見により報告する。
1)トップダウン設計：50%
2)GUI による設計ツール類の使い方：70%
3)設計した論理回路の検証法：80%
4)論理素子の遅延：60%
5)論理回路の言語記述：10%
6)プログラマブルハードウエア体験：20%
1)に関しては、制作途中に受講生と関わる指導補助員の評価の方がさらに酷しく、結果のレポートを見ている著者としては60%としたいところである。
2)は、共通課題回路に関しては90%が一致した意見であるが、ツールの機能の豊かさを考慮した。
3)ブロックごとに検証してゆく必要性はかなり骨身にしみているようである。
4)論理素子の遅延を単純に受け入れているだけの受講生がかなり多い。
5)VHDL を選択しているがファイル出力を眺める時間しかないようである。
6)この項も期間不足が悔やまれる。
成績評価の際には5)、6)は除かれ、最終のレポートIIIはかなり改善されるので成績の分布は以下のようである。

総合評価(100 点満点で)獲得受講生数(30 人中)
S (90 点以上) 5
A (80 ～89 点) 21
B (70 ～79 点) 2
C (60 ～69 点) 1
D,E,F 不可 1
問題点は、絶対的時間不足であり5)、6)もカバーするには15 週は必要と思われる。現状の改良策としては、著者は[第1 ～3 週] の内容を2 週間で済ませるよう目論んでいる。自由課題を作りこんだ受講生は当然のことながらトップダウン設計の修得度も申し分ない。

５．まとめ

受講生の対象が情報工学科の学生であることら、トップダウン設計は是非修得させたいものである。ハード/ソフトのどちらにも活用するべきであり、本実験演習の大いに意義あるところである。４．でも述べたがレポートの反省点では多くの受講生が終わってから気付いた事としてトッププダウン設計重要性を述べている。また開発基盤の違う3 種のツール間を、ファイルを介して処理してゆく様も大いに参考になる。設計におけるIP 資源のあり難さも感じている。

本実験の導入時に著者の同僚が、「このような物に触れておくだけでもいいのですよ。」と、言っていたことを実感している。4 回生からも「あの演習で初めて通しで物を作る面白さが分かった。」と聞いている。さらに、本年の指導補助員はほとんどが修士1 年(本実験演習の1 回生)であるが全員志願してきたのは嬉しいことであった。今後さらに、標準機能ブロックの部品化/セル化、システム構成のビルディングブロック化が進む(既に進んでいる)と思われるので、本実験演習の絞込みに工夫し手行く事が必要である。

金沢工業大学 加藤 様 事例報告書 より （一部改定）